

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58071616 A**

(43) Date of publication of application: **28 . 04 . 83**

(51) Int. Cl

**H01L 21/02**

(21) Application number: **56170357**

(71) Applicant: **NEC HOME ELECTRONICS LTD**

(22) Date of filing: **24 . 10 . 81**

(72) Inventor: **ITO SHUZO  
NAKAMURA YASUSHI**

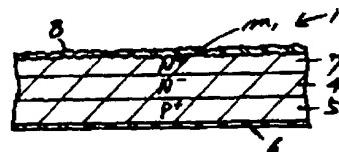
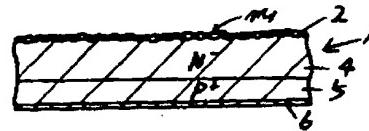
**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57) Abstract:

**PURPOSE:** To improve operating efficiency and yield rate, by a method wherein obverse and reverse sides of a wafer are made asymmetric by roughening or chamfering one side.



**CONSTITUTION:** The obverse side of a wafer 1 is roughened to a rough surface  $m_1$ . When an oxide layer is formed, the oxide layer is removed, and impurities are diffused, the obverse side of the oxide layer 2 becomes the rough surface and the oxide layer 6 on the reverse side remains mirror-like surface. Accordingly, the obverse and reverse sides are readily and correctly distinguished visually in the oxide layer removing process. Similarly, as an electrode layer 9 becomes a rough surface after an electrodes has formed, the obverse and reverse sides are correctly distinguished, so that it is not apprehended to produce negative bevel type pellets.



COPYRIGHT: (C)1983,JPO&Japio

## ⑪ 公開特許公報 (A)

昭58-71616

⑫ Int. Cl.<sup>3</sup>  
H 01 L 21/02

識別記号

府内整理番号  
6679—5F

⑬ 公開 昭和58年(1983)4月28日

発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭ 半導体装置の製造方法

⑮ 特 願 昭56-170357

⑯ 出 願 昭56(1981)10月24日

⑰ 発 明 者 伊藤修三

大阪市北区梅田1丁目8番17号  
新日本電気株式会社内

⑱ 発 明 者 中村靖

大阪市北区梅田1丁目8番17号

新日本電気株式会社内

⑲ 出 願 人 新日本電気株式会社

大阪市北区梅田1丁目8番17号

⑳ 代 理 人 弁理士 江原省吾 外1名

## 明細書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) 半導体タブーへにおける製造前段は製造途中で半導体タブーへの少くとも周辺部の表面面を片面の粗面加工や面取りなどで非対称に加工したのち、半導体タブーへの表面両面に鉛ペターンまたは同一パターンの導電路を形成することを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

この発明は半導体タブーへの不純物拡散や酸化膜除去などの各種工程における半導体タブーへの表面面の区別を容易化して作業性の改善を図ることを目的とした半導体装置の製造方法に関するものである。

半導体装置の製造工程には半導体タブーへに扩散やアセチル不純物を表面に拡散する工程や、この拡散工程内で半導体タブーへの酸化膜を除去する工程、半導体タブーへを被覆の半導体ペ

レット等に細分離する工程などがあり、これら各工程の中には半導体タブーへの表面面を区別する必要のある工程がある。例えば、第1図に示すダイオードの正ペブル型(高耐圧)ペレット(1)は通常次の第2図乃至第6図に示す各工程で製造される。

まず、第2図に示すようにX型不純物濃度の低いX層の半導体タブーへ(以下半導体タブーと称す)(1)の表面面に酸化膜(2)を形成してから、第3図に示すように表面の酸化膜(2)を除去する。このタブーへ(1)の表面からX型不純物を品濃度に拡散して第4図に示すようにタブーへ(1)のX層(1)の表面側にY層(4)を形成する。この拡散時にタブーへ(1)の裏面には軽く酸化膜(3)が形成される。次に第5図に示すようにタブーへ(1)の表面の酸化膜(2)を除去してから、第6図に示すようにタブーへ(1)の表面側にあるY層(4)にZ型不純物を高濃度に拡散してY層(4)を形成する。この時、タブーへ(1)の表面には再び酸化膜(3)が形成される。而して、タブーへ(1)の表面面

の酸化膜面(3)を除去して、第2図に示すようにタエーハ(1)の表面にアルミニウム箔等の手段で電極層(4)を形成する。電極形成の完了したタエーハ(1)はサンドプラス技術やエンチング法などによつて第1図に示す正ノサ型ペレット側に細分断(ペレットタイズ)される。例えばサンドプラス技術の場合は第3図に示すように、タエーハ(1)の表面(3)をガラス基板上にラフタス糊で被覆して固定し、タエーハ(1)の表面にラフタス糊を厚く塗布してその上に所定形状の鋼板マスク糊を被覆しておいて、タエーハ(1)の上方からタエーハ(1)に向けて圧頭に歯板(310など)側を吹き付ける。すると歯板側でタエーハ(1)の鋼板マスク糊から露出する部分が表面側より第3図の状態で示すかたちに削られて正ペベル型ペレット側が形成される。

ところで、第2図の工程前でタエーハ(1)の表面は鏡面研磨され、この鏡面の状態は第3図のペレットタイズの工程まで続く。また第3図から第5図までの各製造工程において、第5図か

の途中でタエーハ(1)が割れたり、インクで汚れたりするトラブルが発生し易く、良好な手段とはいえなかつた。

本発明はかかる往々の問題点に鑑みてなされたもので、タエーハ表面の区別をタエーハ表面を片面の粗面加工や面取りなどの加工で非対称に子めしてかくことで容易且つ正確にした製造方法を提供する。以下、本発明の方法を表面の実施例を参照して説明する。

例えば第3図乃至第5図に示すタエーハ粗造工程に対し、本発明は第2図の工程前で第4図に示すようにタエーハ(1)の例えば表面を粗面( $m_1$ )側に加工する。この粗面( $m_1$ )の凹凸の大きさは特徴的に影響が無く、且つ鏡面の表面と等しく区別が付く大きさにする。即ち、粗面加工したタエーハ(1)に上記同様に酸化膜形成、酸化膜除去、不純物採取を所定の順序で行う。本発明の場合、上記第4図の工程におけるタエーハは第1図に示すタエーハ(1)のよう表面の酸化膜面が粗面になり、鏡面の酸化膜面が鏡面の

から第5図に示す酸化膜除去工程と第2図から第3図に示すペレットタイズ工程は作業面にタエーハ(1)の表面を区別する必要がある。即ち、前者酸化膜除去工程は第3図状態のタエーハ(1)の表面を区別して表面側の酸化膜面だけが除去されるようとする必要があり、この表面区別を間違うと次の工程にて鏡面に不純物が採取されるとことになつて大量の不良品が生成されることになる。また後者ペレットタイズ工程は第2図のタエーハ(1)の表面面を区別して、裏面側をガラス基板上に被覆する必要があり、これを間違うと生成されるペレットが負ペベル側となつて圧縮が仕くなる不都合が生じる。

ところが、上記タエーハ(1)の表面面は鏡面の対称な面であるため、これを目視や触覚で区別することが難しい。そこで、従来はタエーハ(1)の表面面を区別する手段として、タエーハ鏡面の工程途中でタエーハ(1)の表面成形裏面の一方に墨やインクなどによる表面判別マークを入れていた。しかし、この判別方法では製造工程

までである。更つて、表面の酸化膜除去工程の際の表面面区別が目視で容易且つ正確にできる。また電極形成後のタエーハは第1図に示すように表面の電極層側が粗面となるので、同様に表面面区別が目視で容易且つ正確にでき、负ペベル型ペレットが生成される心配が無くなる。

このようすタエーハの表面成形裏面の粗面加工はタエーハの大きさや製造内容によつて、裏面成形裏面の全面成形周辺部のみに行う等の選択が行われる。またタエーハの表面面を非対称にする手段として、例えば第1図に示すようにタエーハ(1)の片面のエッジ部に取ね状の面取り部( $m_2$ )を形成したり、第1図に示すようにタエーハ(1)の片面のエッジ部に沿テープ状の面取り部( $m_3$ )を形成することも有効である。

尚、本発明は上記各工程によるダイオード製造方法に限らず、例えば第1図に示す製造工程にも適用できる。第1図はD型タエーハ切(第1図(1))の表面面からA型不純物を採取

して、 $\frac{1}{2}$ 周側～ $\frac{1}{2}$ 周側～ $\frac{1}{2}$ 周側を形成し、同時に表面に酸化膜凹凸を形成してから、第ノダ回の表面の酸化膜凹凸の子を除去し、露出した $\frac{1}{2}$ 周側に対して物理不純物を高濃度に拡散して $\frac{1}{2}$ 周側を形成し、同時にタエーへ表面に酸化膜凹凸を形成(第ノダ回)して、以後表面の酸化膜凹凸を除去し、電極形成やペレット化工程を行な工程を示す。また本発明はダイオードの製造に限らず、受け製造工程中でタエーへ表面の区別を必要とし、且つこの区別が難しかつたタエーへを用いた半導体装置の製造で、これにて有効に適用できる。

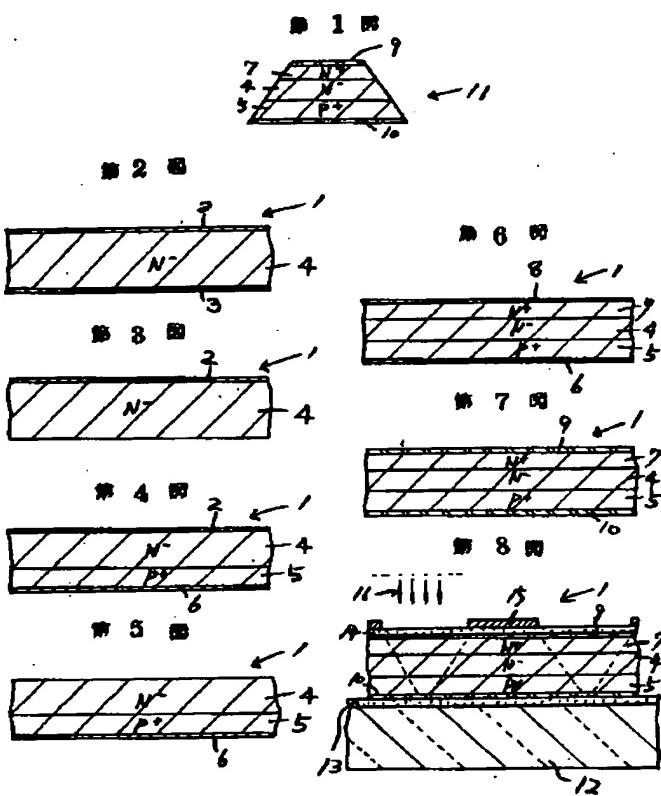
以上説明したように、本発明によればタエーへ表面の区別が片面の粗面や面取りで容易且つ正確に行え、またタエーへに表面を区別するための墨ヤインクなどによるマークを入れる必要が無くて、タエーへ汚れやタエーへ汚れの心配が無くなるので、作業性や良品率の改善が図れる。

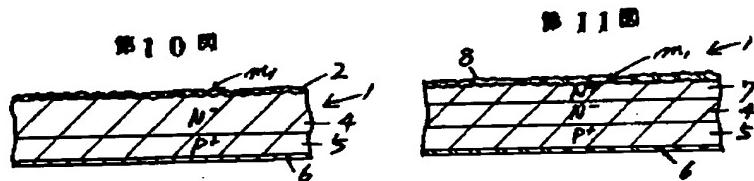
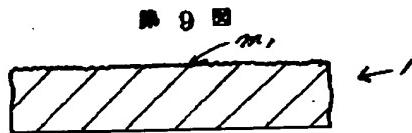
## 4. 図面の簡単な説明

第ノ回は半導体ペレットの一例(ダイオード)を示す断面図、第ノ回乃面積を図は第ノ回の半導体ペレットの製造工程の一例を示す各工程での半導体タエーへの一剖断面図、第ノ回は本発明の方法で用いる半導体タエーへの一例を示す一剖断面図、第ノ回及び第ノ回は第ノ回の半導体タエーへの一剖断面図、第ノ回及び第ノ回は本発明で用いる半導体タエーへの他の二例を示す一剖断面図、第ノ回は半導体タエーへ製造工程の異なる一例を示す工程版の半導体タエーへ一剖断面図である。

(1) (a) 半導体タエーへ、(a<sub>1</sub>)・粗面、(a<sub>2</sub>)(a<sub>3</sub>)・面取り部。

特許出願人 新日本電気株式会社  
代 繕 人 江 順 善 計  
江 順 助



第14図

